

PAT-NO: JP404163927A

DOCUMENT-IDENTIFIER: JP 04163927 A

TITLE: CIRCUIT DEVICE MOUNTED WITH HYBRID  
FUNCTION

PUBN-DATE: June 9, 1992

INVENTOR-INFORMATION:

NAME

SAWAI, TAKANOBU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP02291169

APPL-DATE: October 29, 1990

INT-CL (IPC): H01L021/60

**ABSTRACT:**

**PURPOSE:** To make a compact structure and improve a function and reliability

by arranging the tip faces of connection pads at different positions alternately and making wire bonding parts and through hole connections alternately at their tips and ends.

**CONSTITUTION:** A ceramic wiring substrate 3 and inner lead connection

terminals 4a mounted and packaged on a multi-inner-lead-type bare chip IC

element 4 are electrically connected with bonding wires 5 and connection pads

2. The pads 2 are arranged in a line with their tip faces and end faces at

different positions alternately. Wire bonding parts 2a and through hole

connections 6 are connected to the tip faces and end faces of the pads 2

alternately. By arranging the connections 6 at different positions, the parts

2a are formed in comparatively small areas, the wires 5 are not made long, the

vibration strength improves, the packaging density of electronic components

improves, a compact device is made, and the function and reliability improve.

COPYRIGHT: (C)1992,JPO&Japio



## ⑫ 公開特許公報(A) 平4-163927

⑮ Int. Cl.<sup>5</sup>

H 01 L 21/60

識別記号

3 0 1 A

庁内整理番号

6918-4M

⑭ 公開 平成4年(1992)6月9日

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 混成機能実装回路装置

⑯ 特 願 平2-291169

⑰ 出 願 平2(1990)10月29日

⑱ 発 明 者 澤 居 隆 信 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 須山 佐一

## 明 細 書

## 1. 発明の名称

混成機能実装回路装置

## 2. 特許請求の範囲

搭載・実装された多インナーリード型電子部品と、前記多インナーリード型電子部品のインナーリード接続用端子がボンディングワイヤーで接続される接続用パッドが列状に所定面に形設された配線基板とを具備して成る混成機能実装回路装置において、

前記接続用パッドは交互に先端面が位置ズレし、かつ先端側および後端側にワイヤボンディング部およびスルーホール接続部が交互に形設されていることを特徴とする混成機能実装回路装置。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は混成機能実装回路装置に係り、特に実装密度および機能上の信頼性向上を図った混成機能実装回路装置に関する。

## (従来の技術)

電子回路のコンパクト化などを目的にし、所要の回路パターンを主面に設けた配線基板に、多インナーリード型のチップ素子、たとえば四方向インナーリード型ペアチップIC素子およびチップ抵抗体などを搭載・実装して成る混成機能回路装置が開発されている。すなわち、第3図に平面的に示すように、所要の回路パターン1およびこれらの回路パターン1に電気的に接続する接続用パッド2を列状に主面に設けたセラミック配線基板3の所定領域面に、多インナーリード型ペアチップIC素子4を搭載・配置し、多インナーリード型IC素子4の各インナーリード接続用端子4aを対応する接続用パッド2面にボンディングワイヤー5によって電気的に接続した構成の混成機能回路装置が知られている。

しかして、上記混成機能回路装置においては、搭載・実装する電子部品4など小型大容量化により、たとえばペアチップIC素子4のインナーリード接続用端子4a数の増加あるいはインナーリー

構成を示す平面図である。図において、3は所要の回路パターン1を有するセラミック配線基板であり、4は前記配線基板3の所定領域面に搭載・実装された多インナーリード型電子部品たとえばベアチップIC素子である。

しかして、前記セラミック配線基板3は、前記搭載・実装された多インナーリード型ベアチップIC素子4のインナーリード接続用端子4aとの間を、ボンディングワイヤ5によって電氣的に接続される接続用パッド2列が、先端面および後端面を交互にそれぞれズラした形で形設されている。

また、前記接続用パッド2は、交互に先端面側にワイヤボンディング部2aもしくはスルーホール接続部6を、さらに後端面側にスルーホール接続部6もしくはワイヤボンディング部2aをそれぞれ成す構造をしている。なお、前記接続用パッド2のワイヤボンディング部2aは、搭載・実装する電子部品たとえば、四方向にリードピッチ150 $\mu$ mでインナーリード接続端子4aを有するベアチップIC素子の場合、幅80 $\mu$ m、長さ300 $\mu$ m

、ピッチ150 $\mu$ mである。

したがって、セラミック配線基板3面に搭載・実装されたベアチップIC素子4のインナーリード接続用端子4aと接続用パッド2のワイヤボンディング部2aとをそれぞれ電氣的に接続するボンディングワイヤ5の長さは、ほぼ一定となっている。一方、スルーホール接続部6は、実質的に一つ置きで比較的十分な間隔を採って形設された構成と成るため、隣接する他の回路パターン1に何等支障を及ぼすこともない。

第2図は、本発明に係る混成機能回路装置の他の要部構成を示す平面図であり、前記第1図に図示した混成機能回路装置において、接続用パッド2の内側のスルーホール接続部6形成領域を絶縁層7で被覆し、電氣的絶縁の信頼性などの向上を図ったものである。

#### [発明の効果]

上記説明したように本発明に係る混成機能回路装置においては、搭載・実装された多インナーリード接続端子型電子部品のインナーリード接続

端子にそれぞれ対応する接続用パッドが、先端面を交互にズラした形で形成されている。しかも、前記接続用パッドは、交互に先端面側がワイヤボンディング部もしくはスルーホール接続部を、また交互に後端面側がスルーホール接続部もしくはワイヤボンディング部を形設した構成を成している。つまり、スルーホール接続部の位置をズラすことによって、ワイヤボンディング部の形設領域を比較的狭く抑え、かつボンディングワイヤの長尺化も防止して耐振動性の改善を図るとともに、電子部品の実装密度の向上も図られる。かくして、本発明に係る混成機能回路装置は、コンパクト化、高機能化、高信頼性化などの点からして実用上多くの利点をもたらすものといえる。

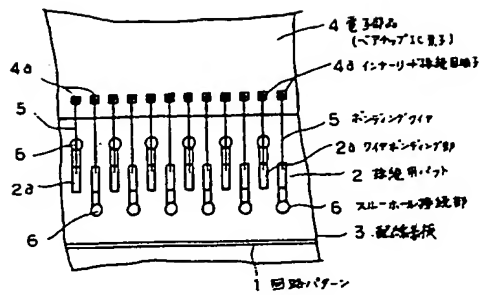
#### 4. 図面の簡単な説明

第1図および第2図は本発明に係る混成機能回路装置の互いに異なる要部構成例を示す平面図、第3図は従来の混成機能回路装置の要部構成を示す平面図である。

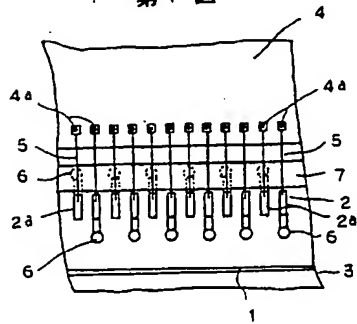
1 ……回路パターン

2 ……接続用パッド  
2a ……ワイヤボンディング部  
3 ……配線基板  
4 ……多インナーリード型電子部品  
4a ……インナーリード接続用端子  
5 ……ボンディングワイヤ  
6 ……スルーホール接続部  
7 ……絶縁層

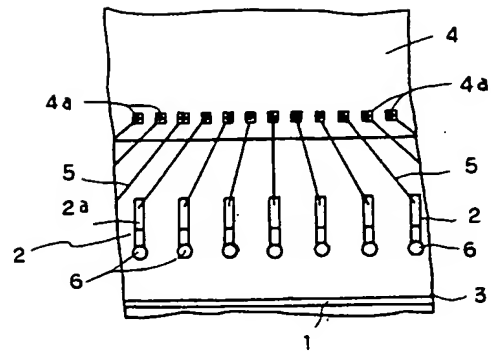
出願人 株式会社 東芝  
代理人 弁理士 須山 佐一



第1図



第2図



第3図